



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **62190542 A**(43) Date of publication of application: **20.08.87**

(51) Int. Cl

G06F 13/00
G06F 11/26
(21) Application number: **61033219**(71) Applicant: **NEC CORP**(22) Date of filing: **18.02.86**(72) Inventor: **SHINOHARA KAZUO**
**(54) INSPECTION SYSTEM FOR INPUT AND OUTPUT
PROCESSOR BY SIMULATOR**

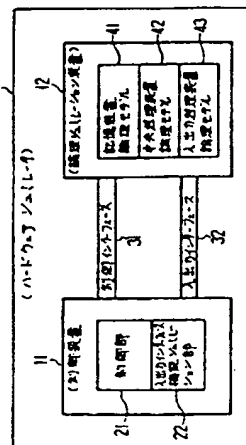
onto a general input/output interface 32..

COPYRIGHT: (C)1987,JPO&Japio

(57) Abstract:

PURPOSE: To logically verify an input/output processor on a simulator by taking out a general input/output interface signal to simulate the operation of a peripheral controller by an input/output interface function simulating part.

CONSTITUTION: A control part 21 loads a verifying program onto a storage device model 41 and initializes a CPU logical model 42 on a logical simulation device 12 through a control interface 31 and instructs the model 42 to execute software instructions on the model 41. Operations of the CPU and the storage device are simulated on the device 12, and the verifying program of the model 41 is simulated and executed on the model 42. At the time of the an input/output instruction is executed, it is reported from the model 42 to an input/output processor logical model 43 to simulate the input/output processor. If the input/ output interface signal is changed on the model 43, an input/output interface function simulation part 22 detects this change to simulate the function of the operation of the peripheral controller and generates a response signal



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-190542

⑪ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)8月20日

G 06 F 13/00
11/26

3 0 1

6549-5B
7368-5B

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 シミュレータによる入出力処理装置検査方式

⑮ 特 願 昭61-33219

⑯ 出 願 昭61(1986)2月18日

⑰ 発 明 者 篠 原 和 雄 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 井ノ口 壽

明 細 書

1. 発明の名称

シミュレータによる入出力処理装置検査方式

2. 特許請求の範囲

記憶装置論理モデル、中央処理装置論理モデル、ならびに入出力処理装置論理モデルを格納し、論理回路のシミュレーションを行うための論理シミュレーション装置と、前記論理シミュレーション装置に対して制御インターフェースにより接続され、シミュレーション動作を制御するための制御部、ならびに前記論理シミュレーション装置に対して汎用入出力インターフェースにより接続され、前記論理シミュレーション装置において前記入出力処理装置論理モデル上に送出された前記汎用入出力インターフェースの信号により周辺制御装置の動作をシミュレートするための入出力インターフェース機能シミュレーション部から成る制御装置とを具備し、前記論理シミュレーション装置上に検査の対象となる入出力処理装置を含む論理モデルを格納し、前記入出力処理装置の論理検証を

行いプログラムを前記論理シミュレーション装置上で実行させることにより前記入出力処理装置がシミュレートされ、前記入出力処理装置論理モデル上の前記汎用入出力インターフェースの信号が変化し、前記入出力インターフェース機能シミュレーション部が前記信号の変化を認識すると前記周辺制御装置の動作をシミュレートし、結果を前記論理シミュレーション装置上の入出力処理装置論理モデル上に設定することにより前記論理シミュレーション装置上で前記入出力処理装置の論理検証を行うことができるように構成したことを特徴とするシミュレータによる入出力処理装置検査方式。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は入出力処理装置の検査方式に関し、特にハードウェアシミュレーションを使用して論理検証を行う検査方式に関する。

(従来の技術)

従来、入出力処理装置の開発検査は論理設計が

特開昭62-190542(2)

終了した後、装置を製造し、実入出力処理装置をシステムに接続して実デバイスを使用して行っていた。しかし、最近のように論理装置に専用高集積論理回路を使用して設計を行うと、装置を製造する前に論理検証を行う必要がある。この要求に対して論理シミュレーションシステムが開発され、論理装置の設計時点で論理検証を行うことが可能となつた。論理シミュレーションシステムはソフトウェアシステムで実現されているが、装置規模が大きくなると論理モデルが大きくなり、シミュレーション時間が長くなつて十分な論理検証を行うことが困難である。しかし、ハードウェアによる超高速論理シミュレータの開発により、大規模な論理シミュレーションを高速で実行することが可能となつたため、複数の装置を含むシステムレベルの論理シミュレーションが実行可能となつている。

(発明が解決しようとする問題点)

上述した従来の論理シミュレーションシステムでは論理モデルを作成する必要がある、入出力処

とによつて実現したものである。

論理シミュレーション装置は記憶装置論理モデル、中央処理装置論理モデル、ならびに入出力処理装置論理モデルを格納し、論理回路のシミュレーションを行うためのものである。

制御装置は、論理シミュレーション装置に対して制御インターフェースにより接続され、シミュレーション動作を制御するための制御部、ならびに論理シミュレーション装置に対して汎用入出力インターフェースにより接続され、論理シミュレーション装置において入出力処理装置論理モデル上に送出された汎用入出力インターフェースの信号により周辺制御装置の動作をシミュレートするための入出力インターフェース機能シミュレーション部から成るものである。

本発明においては上記構成で、論理シミュレーション装置上に検査の対象となる入出力処理装置を含む論理モデルを格納し、入出力処理装置の論理検証を行うプログラムを論理シミュレーション装置上で実行させることにより入出力処理装置が

理装置の論理検証を行うためには、入出力装置の上位装置である中央処理装置、および、下位装置である周辺装置の論理モデルを作成する必要がある。しかし、周辺装置は機械部品を含むので論理モデルを作成することが困難であり、入出力処理装置の論理検証を論理シミュレーションによつて行うことができるという欠点がある。

本発明の目的は、ハードウェアシミュレータ装置上の入出力処理装置論理モデルの汎用入出力インターフェース信号を取出し、入出力インターフェース機能シミュレーション機構により周辺制御装置の動作をシミュレートするとともに、上記欠点を除去し、入出力処理装置の論理検証を論理シミュレーションによつて行うことができるように構成した、シミュレータによる入出力処理装置検査方式を提供することにある。

(問題点を解決するための手段)

本発明のシミュレータによる入出力処理装置検査方式は、論理シミュレーション装置と制御装置

シミュレートされ、入出力処理装置論理モデル上の汎用入出力インターフェースの信号が変化し、入出力インターフェース機能シミュレーション部が上記信号の変化を認識すると周辺制御装置の動作をシミュレートし、結果を論理シミュレーション装置上の入出力処理装置論理モデル上に設定することにより論理シミュレーション装置上で入出力処理装置の論理検証を行うことができるように構成したものである。

(実施例)

次に、本発明について図面を参照して説明する。

第1図は、本発明によつて構成したシミュレータによる入出力処理装置検査方式を実現する一実施例を示すブロック構成図である。第1図において、1はハードウェアシミュレータ、11は制御装置、12は論理シミュレーション装置、21は制御部、22は入出力インターフェース機能シミュレーション部、31は制御インターフェース、32は汎用入出力インターフェース、41は記憶装置論理モデル、42は中央処理装置論理モデル、

43は入出力処理装置論理モデルである。

第1図において、ハードウェアシミュレータ1はシミュレーション動作を制御する制御部21、ならびに周辺制御装置の動作をシミュレートする入出力インターフェース機能シミュレーション部22から成る制御装置11と、記憶装置論理モデル41、中央処理装置論理モデル42、ならびに入出力処理装置論理モデル43を備え、論理動作をシミュレートするための論理シミュレーション装置12とから構成されている。制御装置11と論理シミュレーション装置12との間はシミュレーション動作を管理するための制御インターフェース31、ならびに入出力処理装置論理モデル43と入出力インターフェース機能シミュレーション部22との間の汎用入出力インターフェース32により接続されている。

次に、入出力処理装置検証プログラムを使用して行う入出力処理装置の論理検証動作を説明する。制御部21の制御により、制御装置11に接続された外部ファイル(図示していない)から論理

シミュレーション装置12上へ論理モデルを格納する。論理モデルは記憶装置論理モデル41、中央処理装置論理モデル42、ならびに入出力処理装置論理モデル43から構成されており、プログラムの実行環境を提供する。

制御部21は、外部ファイル(図示していない)から入出力処理装置検証プログラムを記憶装置論理モデル41上へロードする。制御部21は制御インターフェース31を介して論理シミュレーション装置12上の中央処理装置論理モデル42を初期設定し、記憶装置論理モデル41上のソフトウェア命令実行を指示する。論理シミュレーション装置12上では中央処理装置ならびに記憶装置の動作がシミュレーションされ、記憶装置論理モデル41上の入出力処理装置検証プログラムが中央処理装置論理モデル42上でシミュレートされて実行される。論理シミュレーション装置12上の論理モデルによる入出力処理装置検証プログラム実行によつて入出力命令が実行されると、中央処理装置論理モデル42から入出力処理

装置論理モデル43に上記実行が通知され、入出力処理装置がシミュレーションされる。入出力処理装置論理モデル43上で入出力命令により指定された機能がシミュレーションされ、入出力インターフェース信号を変化させる。制御装置11上の入出力インターフェース機能シミュレーション部22は、汎用入出力インターフェース32を介して入出力処理装置論理モデル43上のインターフェース信号を監視しており、信号の変化を検出すると周辺制御装置の動作の機能をシミュレーションし、汎用入出力インターフェース32上への応答信号を生成する。入出力インターフェース機能シミュレーション部22は汎用入出力インターフェース32上の信号を入出力処理装置論理モデル43上へ送出し、これによつて入出力インターフェース信号を設定する。

以上述べた制御を繰返すことにより、論理シミュレーション装置上のモデルで入出力処理装置検証プログラムが実行され、これによつて入出力処理装置の論理検証を実施することができる。

(発明の効果)

以上説明したように本発明は、ハードウェアシミュレータ装置上の入出力処理装置論理モデルの汎用入出力インターフェース信号を取出し、入出力インターフェース機能シミュレーション部により周辺制御装置の動作をシミュレートすることにより、シミュレータ上で入出力処理装置の論理検証を行うことができるという効果がある。

また、周辺制御装置を機能シミュレーションにより実現しているので、正常動作だけでなく入出力インターフェース上のダイアログとしての異常動作についても論理検証できるという効果がある。

4. 図面の簡単な説明

第1図は、本発明によつてシミュレータによる入出力処理装置検査方式を実現する一実施例を示すブロック図である。

1・・・ハードウェアシミュレータ

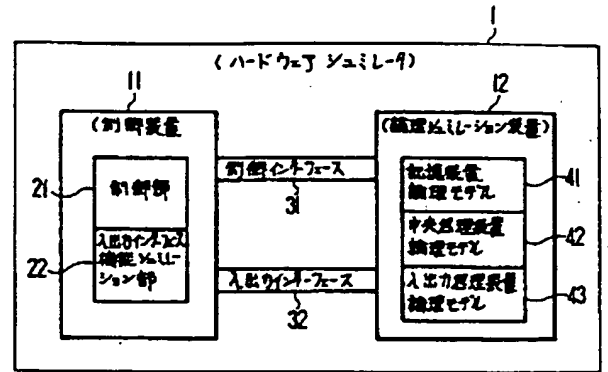
11・・・制御装置

12・・・論理シミュレーション装置

特開昭 62-190542 (4)

- 2 1 . . . 制御部
- 2 2 . . . 入出力インターフェース機能シミュレーション部
- 3 1 . . . 制御インターフェース
- 3 2 . . . 汎用入出力インターフェース
- 4 1 . . . 記憶装置制御モデル
- 4 2 . . . 中央処理装置制御モデル
- 4 3 . . . 入出力装置制御モデル

才 | 図



特 許 出 願 人 日 本 電 気 株 式 会 社
代 理 人 弁 理 士 井 ノ 口 誠